

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2001 EPO. All rts. reserv.

1286505

Basic Patent (No,Kind,Date): JP 49134276 A2 741224 <No. of Patents: 001>

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 49134276	A2	741224	JP 7347212	A	730427 (BASIC)

Priority Data (No,Kind,Date):

JP 7347212 A 730427



(2000円) 特許願(A6)後記号なし

48.4.27
昭和一年月日

特許庁長官印

1. 発明の名称
集積回路用絶縁性基板。
方法

2. 発明者

神奈川県川崎市幸区小向東芝町1
東京芝浦電気株式会社連合研究部内

斧 真 葵 植

(ほか 1名)

3. 特許出願人

(307) 神奈川県川崎市幸区福川町72番地
東京芝浦電気株式会社
代表者 玉置 敬三

4. 代理人

(6628) 平 105
東京都港区芝西久保町16番地
東京芝浦電気株式会社化粧門分室内
電話 503-7111 (大代表)

(6628) 斧 真 葵 植



⑯ 日本国特許庁

公開特許公報

⑪特開昭 49-134276
 ⑫公開日 昭49.(1974)12.24
 ⑬特願昭 48-47212
 ⑭出願日 昭48.(1973)4.27
 審査請求 未請求 (全4頁)

府内整理番号 ⑮日本分類

7113 57 995C23
6513 57 995H0

ナフアイア基板上に、焼ガラスを形成し、この焼ガラスの形成された基板を加熱処理することにより、ナフアイア基板の清浄化が行われる事を見い出した。

本発明は、上記知見に基いてなされたもので、集積回路用絶縁性基板上に焼ガラスを形成し、この形成された物を加熱する事により、前記絶縁性基板の清浄化を行う集積回路用絶縁性基板の処理方法を提供するものである。

以下、本発明の実施例について第1図乃至第2図を用いて説明する。

実施例1

反応炉(図示せず)内に、厚さ例えば200μ, 直径例えば12.5mmの絶縁性基板例えばナフアイア基板(11)を設置し、炉温を例えば350°Cに設定する。

この反応炉に例えば二系統のガス導入口を設け一方の導入口からシランガス(SiH₄)を導入する。

又、他方の導入口から、例えば成膜ガスをキナリガスとしてPOCl₃を導入する。

明細書

1. 発明の名称
集積回路用絶縁性基板の処理方法
2. 審査請求の範囲
集積回路用絶縁性基板上に焼ガラス層を形成する工程と、この工程により形成された焼ガラス層と前記基板とから成る積層物を前記基板の清浄化処理に必要な温度以上に加熱する工程とからなることを特徴とする集積回路用絶縁性基板の処理方法。
3. 発明の詳細を説明

本発明は清浄な集積回路用絶縁性基板を得るためにの基板処理方法に関するものである。

従来、絶縁性基板例えはナフアイア基板上に半導体層例えはSi層を設け、これに半導体技術により電子を形成し、SOS(Silicon on Sapphire)集積回路となした場合、例えはMOSの界面特性等の劣化が生じ、SOS集積回路のパラッキが大きかつた。

本発明者等は、この原因を種々検討した結果、

このようにして、前記サファイア基板(11)上に、焼ガラス(12)を例えれば3000Åの厚さに形成する。

次に、この焼ガラス(12)の形成された前記サファイア基板(11)をガス雰囲気例えれば酸素等の活性ガス雰囲気中で例えれば500°C以上の高温で、数分から数十分間加熱処理する。

この加熱処理により、明らかではないがサファイア基板(11)中のNa⁺イオン等のゲンターリングが行われるものと思われる。

次に上記処理済のサファイア基板(11)上の、前記焼ガラス(12)を除去する。

次に、半導体層例えればSi層(13)を、通常のシラン熱分解法により厚さ例えれば1μに形成する。

次いで、前記Si層(13)を例えれば温度1050°Cで20分間スチーム(Steam)酸化し、厚さ約2000Åの熱酸化膜(14)を形成する。

さらに、該熱酸化膜(14)上に、電極材料例えればAl層(15)を厚さ例えれば1μに形成する。

然る後、エッチング等により第1回(1)に示す如

きMOSキャバシターを形成する。

このMOSキャバシターのC-V(容量-電圧)特性を測定し、通常のBT処理例えれば、室温で $5 \times 10^9 \text{ V/cm}^2$ の電界を5分間加えることによる反転電圧のシフトを求め、前記熱酸化膜(14)中可動イオンを見積ると、この可動電荷(ΔQ_{ss})は $\Delta Q_{ss} \approx 2 \sim 5 \times 10^{10} \text{ cm}^2$ と少なかった。

因みに、同様のMOSキャバシターを、焼処理を行わないサファイア基板上に形成し、上記同様の方法により、可動イオンを見積ると $\Delta Q_{ss} \approx 7.5 \times 10^{11} \text{ cm}^2$ であつた。

実施例2

反応炉(図示せず)内に、厚さ例えれば200Å、直径例えれば12.5mmの絶縁性基板例えればサファイア基板(31)を設置し、炉温を例えれば350°Cに設定する。

この反応炉に例えば二系統のガス導入口を設け一方の導入口からシランガス(SiH₄)を導入する。

又、他方の導入口から例えれば酸素ガスをキャリアガスとして~~polish~~を導入する。

このようにして、前記サファイア基板(31)上に、焼ガラス(32)を例えれば3000Åの厚さに形成する。

次にこの焼ガラス(32)の形成された前記サファイア基板(31)をガス雰囲気例えれば酸素等の活性ガス雰囲気中で例えれば500°C以上の高温で、数分から数十分間加熱処理する。

次に、前記処理済のサファイア基板(31)上の前記焼ガラス(32)を除去する。

次に半導体層例えればSi層(33)を通常のシラン熱分解法により厚さ例えれば1μに形成する。

次いで前記Si層(33)を例えれば温度1050°Cで20分間スチーム(Steam)酸化し、厚さ約2000Åの第1の酸化膜(34)を形成する。

この第1の酸化膜(34)を所定のマスクパターンを用い通常の写真露光法により、例えればフッ化アンモニウムを用いて選択エッチングする。

そして、エッチングされずに残った酸化膜(34)を、マスクとして稀硫酸液を用いて前記Si層(33)をエッチングし、第2回(4)に示す如き形状と

なす。

次に、例えればフッ化アンモニウムを用いて前記酸化膜(34)を除去する。

次に例えれば水蒸気を含んだ酸素雰囲気中、例えれば1000°Cで、厚さ例えれば1200Åのゲート酸化膜(35)を形成する。

次に該ゲート酸化膜(35)上に、例えればシラン熱分解により多結晶Si(36)を厚さ例えれば4000Åに成長させ、さらにこの多結晶Si(36)上に、通常のシランの熱分解法により第2の酸化膜(37)を厚さ例えれば4000Åに成長させる。

次にこの第2の酸化膜(37)を所定のマスクパターンを用い通常の写真露光法により、例えればフッ化アンモニウムを用いて選択エッチングする。

そして、エッチングされずに残った前記酸化膜(37)をマスクとして、前記多結晶Si(36)をニッケル化し、第2回(4)に示す如き形状となす。

次に、前記Si層(33)に設けられるソース領域(33a)及びドレイン領域(33b)上の、酸化膜(35)と、前記多結晶Si(36)上の酸化膜(37)を例えば

フッ化アンモニウムでエラシング除去する。

然る後、例えば 1050°C で10分間程度不純物拡散例えばガロン拡散を行い、ソース領域(33a)及びドレイン領域(33b)へ不純物を導入し、ソース及びドレインとなす。

次に通常のシランの熱分解により、第3の酸化膜(37)を例えば厚さ $1.2\text{ }\mu\text{m}$ で形成する。

次に、例えば POCl_3 を用い 1050°C 、20分の焼処理を行う。

次に、この処理により形成された焼ガラス層を除去した後、改めて焼ガラス層(38)を例えば厚さ 2000 \AA で形成する。

次に、通常の写真触刻法によりソース電極及びドレイン電極取出し用の窓開けを、前記第2の酸化膜(37)及び前記焼ガラス層(38)に対して行う。

次に、電極材料例えばAl層(39)を蒸着等により設け、配線パターンニングを行い、素子(SiゲートMOS)となす。

このような方法により製造された素子の特性(例えば、MOS界面特性、PN接合特性)のバラツ

キは、前記サファイア基板(31)を焼処理しなかつたものと比べ、極めて少なくなつていた。

上記実施例においては、絶縁性基板としてサファイアを用いた場合を示したが、スピネル MgAl_2O_4 の他の絶縁性基板を用いる事が出来る。

上記実施例においては、シランガスと酸素ガスにより選ばれた Poco を用いて焼ガラスを形成した場合を示したが、キヤリヤガスは酸素のみに限定されず、他の活性ガス、 N_2 或いは Ar 等の不活性ガス、水蒸気その他を用いることが出き、又、焼ガラスの形成法は上記実施例に限定されるものではない。

又、上記実施例においては、集積回路素子製造の前処理として、サファイア基板の焼処理を行つた場合を示したが、素子製造プロセスの途中で例えばサファイア基板裏側に焼ガラスを設けて、これを加熱処理することにより焼処理を行つてもよい。

又、上記実施例においては、 500°C 以上の温度で加熱処理した場合を示したが、基板の清浄化処

理に必要な温度であれば 500°C 以下でもよい。

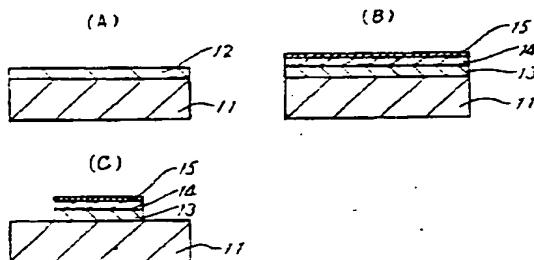
以上説明した如く本発明方法によれば、集積回路用絶縁性基板上に焼ガラスを形成し、この形成された物を加熱処理することにより、前記絶縁性基板の清浄化が計られるので、この絶縁性基板上に設けられるSi、GaAs_{1-x}Ge_xその他の半導体素子の種々の特性を向上させることができることが出きる。

4. 図面の簡単な説明

第1図(A)乃至(C)は本発明の一実施例を説明するための図、第2図(A)乃至(D)は、本発明の他の実施例を説明するための図である。

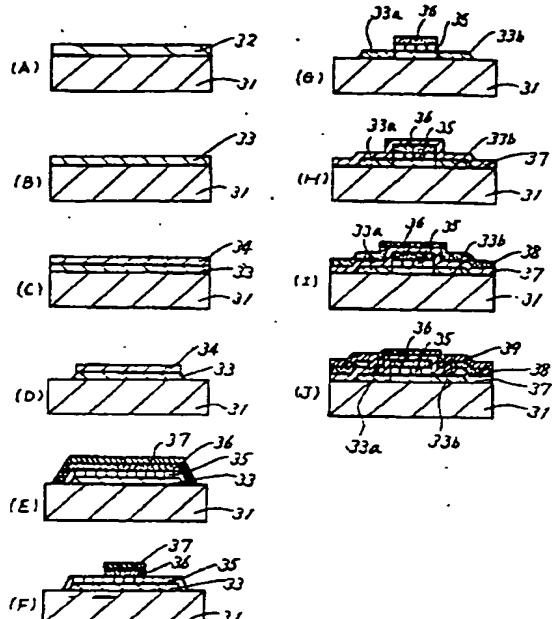
図において、11…サファイア基板12、31…リンガラス、13、33…Si層、14、34…酸化膜、15…Al層、39…ゲート電極。

オノ回



代理人弁理士富岡翠
(ほか3名)

オ 2 回



添付書類の目録

(1) 委任状	1通
(2) 明細書	1通
(3) 図面	1通
(4) 研究副本	1通

6. 前記以外の発明者、特許出願人または代理人

8字以上

(1) 発明者

神奈川県川崎市幸区小向東芝町1
東京芝浦電気株式会社総合研究所内

賛 石 喜 等

代 理 人

東京都港区芝西久保明舟町16番地
東京芝浦電気株式会社内門分室内

(7317) 弁理士 則 近 慶 佑

(7567) 弁理士 緒 陸 司

(7568) 弁理士 竹 花 喜 久 男